



Researcher 김시훈, 전자공학과 (yj3395@ajou.ac.kr)
최찬경, 전자공학과 (chcksrud@ajou.ac.kr)
이종호, 전자공학과 (jongho3827@ajou.ac.kr)

Professor 이종욱, 전자공학과

ABSTRACT

4차 산업혁명이 도래하며 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)은 수많은 분야에 사용된다. 기본적인 MOSFET은 Gate 전압을 인가함에 따라 Vertical Electric field effect를 통해 Switching, Amplifier의 용도로 사용한다. 최근 Moor's law에 따라 마이크로 칩의 밀도는 24개월 마다 2배로 늘어나고 있다. 하지만 밀도가 늘어남에 따라 SCE(Short Channel Effect), Leakage Current 등 Non ideal Effect가 Issue이다. 또한, Drain-Source Voltage(VDS)에 따라 Threshold Voltage를 적절한 값으로 유지해야 한다. 우리는 Threshold Voltage의 적절한 값을 조절하기 위해 IIP(Ion Implantation)공정을 이용한 Well Formation 및 Threshold Voltage Adjustment를 진행하고, 이를 Silvaco Simulation과 비교하였다.

OBJECTIVES

- 1학기 때 진행된 전자종합설계에서 만든 PMOSFET 프로세스에서 Well Formation과 Threshold Voltage Adjustment 공정을 추가하여 Threshold Voltage를 $-2.5V \pm 0.25V$ 까지 증가시킨다.

METHODOLOGY

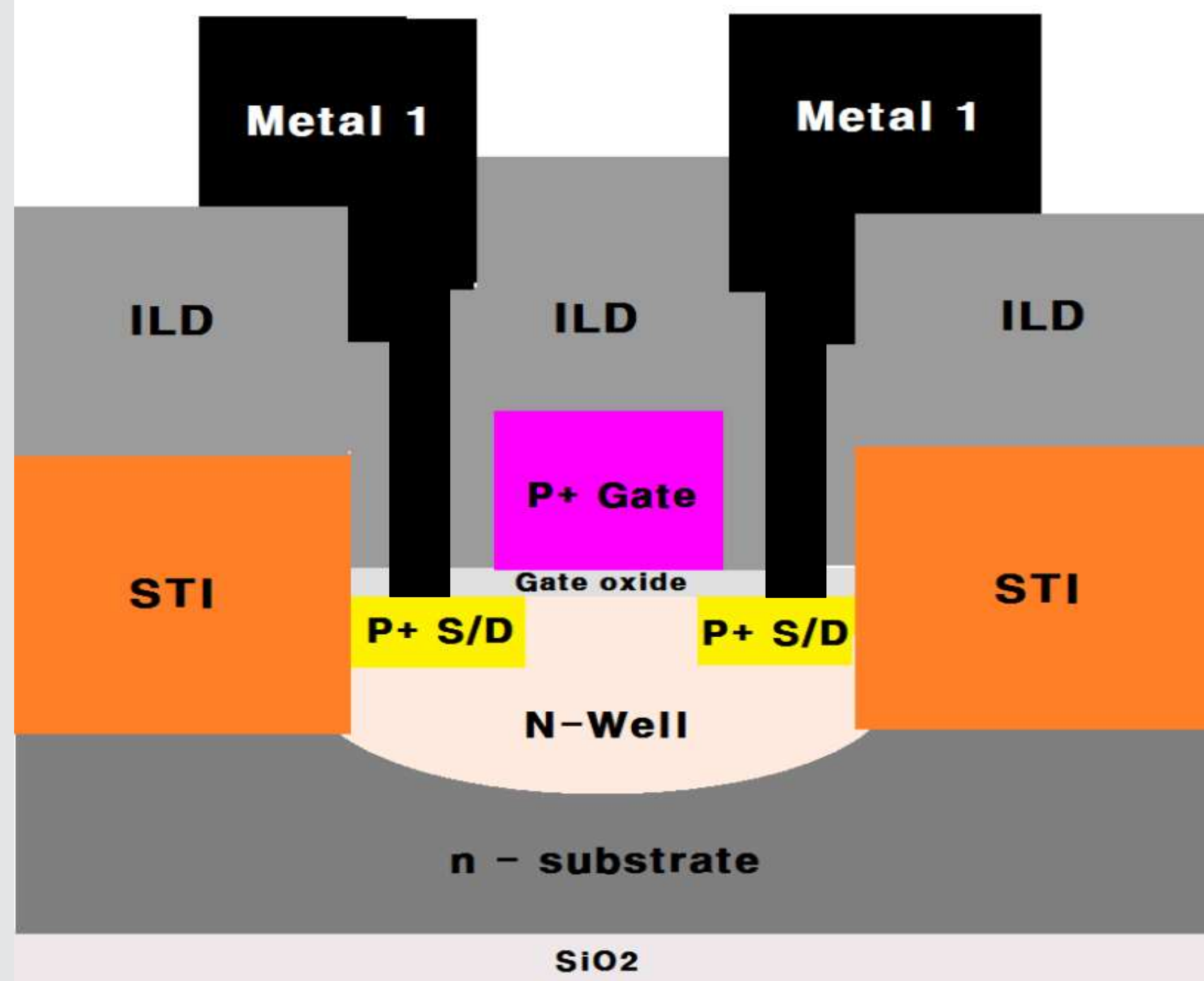


Fig 1. Vertical strcuter of P-MOSFET

- Added process : Ion Implantation을 통해 Well Formation과 Threshold Voltage Adjustment 공정을 진행하였다.

Process	Condition
N-Well Formation	Phosphorous dose $8.1e12$ Energy 80keV
Vth adjustment	BF2 dose $3.5e12$ Energy 70keV

Table 1. Added process condition

Category		Details	Remarks
Device		P-MOSFET	
Material	Substrate	N-type Silicon wafer	4-inch, (100), Boron doped
	Gate	P+ Poly-Si	LPCVD (Outsourcing)
	Electrode	Aluminum	Sputtering / M1
Process	# of masks	6 layers	Active 1 & 2, S/D, Gate, Contact
	Isolation	STI	Shallow Trench Isolation
	Doping	Ion implantation	Outsourcing @Nano Fab
	ILD	Oxide	PECVD
Structure	Source & Drain	Self-aligned S/D	
	Junction	P+/N Junction	Abrupt Junction
	Contact	Si-Al alloy	1% Si

Table 2. Outlook of Transistor to be fabricated

RESULTS

1. Reference & Silvaco Simulation Result

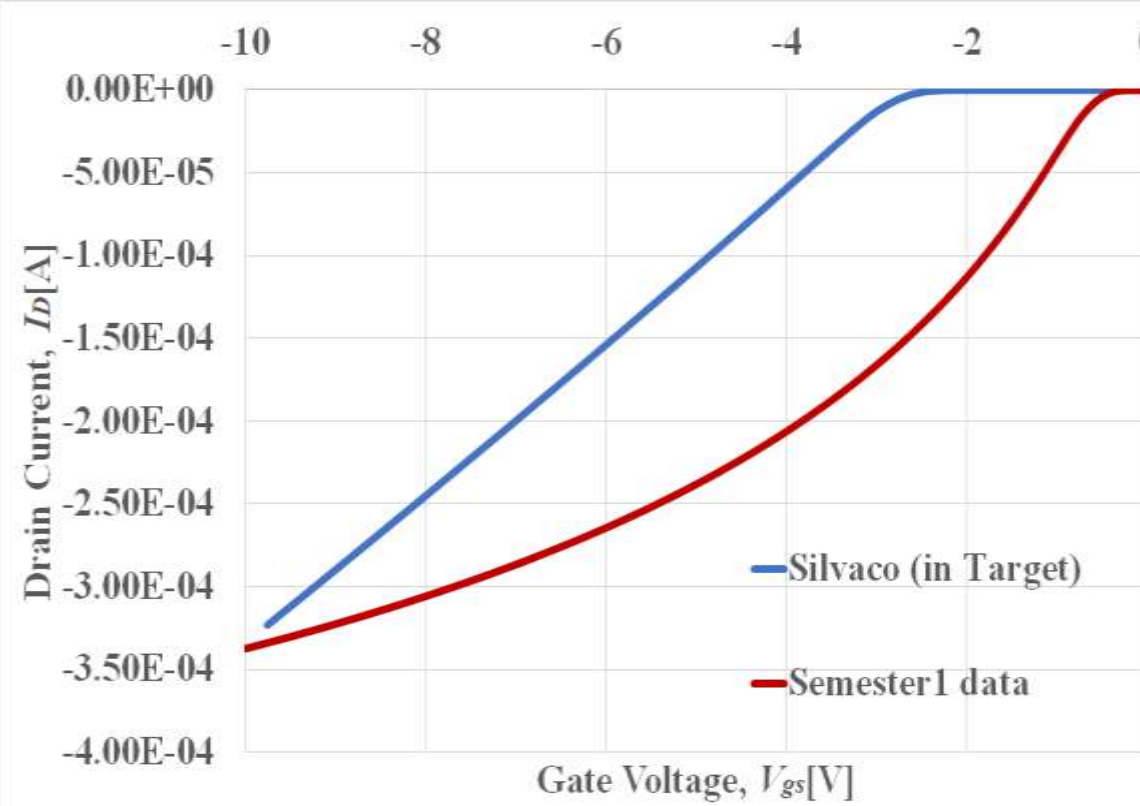


Fig 2. Characteristics of Silvaco Simulation & Reference

DIE number	11
V_{DD}	-0.5V
L	10um
W	100um
Gm,max	$8.60e-5A/V$
Vth	-0.31V

Table 3. Vth Characteristics value of Reference

2. Silvaco Simulation Threshold Voltage Result

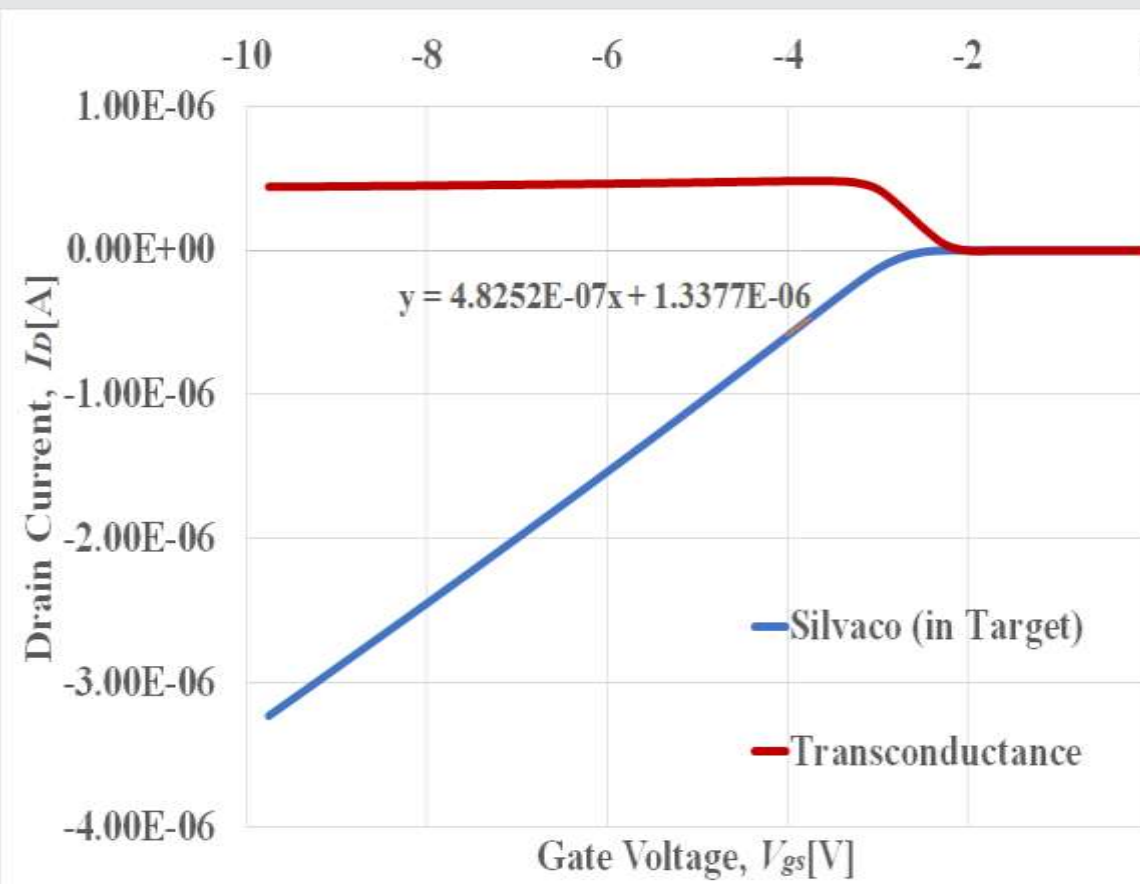


Fig 3. Characteristics of Silvaco Simulation

V_{DD}	-0.5V
L	10um
W	100um
Gm,max	$4.83e-5A/V$
Vth	-2.53V

Table 4. Vth Characteristics value of Simulation

3. Threshold Voltage Distribution of experiment



Fig 4. Characteristics of Vth & Target

Vth	Value
Min	-1.29V
Max	-1.82V
Middle	-1.59V
Average	-1.57V

Table 5. Vth Characteristics values at W/L=200um/70um

4. Experiment result

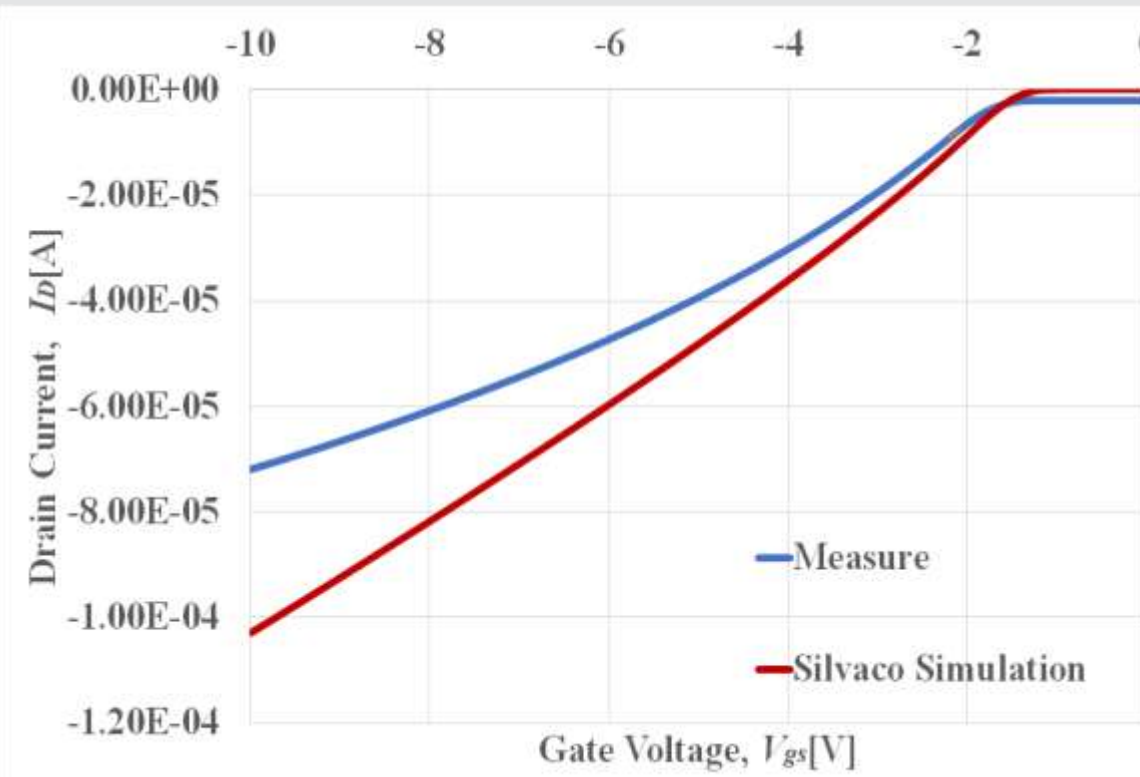


Fig 5. Characteristics of Silvaco Simulation & Experiment

DIE number	11
V_{DD}	-0.5V
L	70um
W	200um
Gm,max	$1.39e-5A/V$
Vth	-1.29V

Table 6. Characteristics value at W/L=200um/70um

Nitride Etch가 제대로 이루어지지 않아 Well Formation과 Vth Adjust 과정 중 문제가 발생했고 Oxide의 두께를 원하던 스펙에 맞추지 못했기 때문에 평균 $-1.57V$ 의 Threshold Voltage가 나오는 결과를 도출했다.

Well Formation과 Vth Adjust 공정을 포함하지 않고 Oxide 두께를 700\AA 으로 시뮬레이션을 진행한 값과 실험결과 그래프 개형을 통해 원인을 파악할 수 있었다.

하지만 Silvaco simulation을 통해 Well Formation과 Vth Adjust 공정을 추가하고 Oxide 두께를 기존 500\AA 로 한다면 우리가 원하는 스펙에 맞게 결과가 나오는 것을 확인했다.

CONCLUSIONS

Well Formation과 Vth Adjust 공정을 추가함으로써 Threshold Voltage를 원하는 값으로 맞출 수 있음을 Simulation으로 확인할 수 있었다.

따라서 Well Formation과 Vth Adjust 공정을 추가한다면 Vth의 값을 수정할 수 있고, 인가된 전압에 따라 적절한 동작을 보이는 반도체 소자를 설계할 수 있을 것으로 생각된다.